

(19) 대한민국특허청(KR)  
(12) 공개특허공보(A)

(51) Int. Cl.  
H01L 21/318

(11) 공개번호 특2000-0035489  
(43) 공개일자 2000년06월26일

(21) 출원번호 10-1999-0050775  
(22) 출원일자 1999년11월16일  
(30) 우선권주장 9/193,606 1998년11월17일 미국(US)  
(71) 출원인 인터내셔널 비지네스 머신즈 코포레이션 포만 제프라 엘  
미국 10504 뉴욕주 마온크  
(72) 발명자 레오반둥에팬디  
미국 12590뉴욕주와핑거스펠스스카보로우레인17씨  
사단드벤드라케이  
미국 12590뉴욕주와핑거스펠스스카이름드라이브90  
쉐피드스마닉제이  
미국 10570뉴욕주플레즌트빌노스털사이드레이크로드890  
사히디가발지  
미국 10598뉴욕주요크타운하이츠피오박스279  
(74) 대리인 김창세, 김원준, 장성구

심사청구 : 있음

(54) 실리콘-온-절연체 영역 및 벌크 영역 제조 방법 및조달하게 패턴닝된 실리콘-온-절연체 영역을 제  
조하는방법과 이를 방법에 의해서 제조된 반도체 장치

요약

본 발명은 SOI 영역과 벌크(bulk) 영역을 반도체 장치 내에 제조하는 방법에 관한 것으로서, 이 방법에서  
는 먼저 박막 실리콘 층, 이 박막 실리콘 층의 하부에 놓이는 매립된 절연(buried insulating) 산화물 층  
 및 이 매립된 절연 산화물 층의 하부에 놓이는 실리콘 기판을 가진 SOI 구조를 제공하고, 다음, 절화물  
 층을 SOI 구조의 상부에 침착하고, 다음, 상기 절화물 층의 부분을 선택적으로 에칭하여 SOI 구조를 노출  
 시키는데 이때 에칭되지 않은 절화물 층의 부분은 SOI 영역을 형성한다. 본 발명의 방법은, 그 다음, 노  
 출된 SOI 구조의 전여 부분을 선택적으로 에칭하여 실리콘 기판을 노출시키고, 다음, 노출된 실리콘 기판  
 의 상부에 에피택셜 층을 성장시켜 벌크 영역을 형성하며, 마지막으로, 실리콘-온-절연체 구조 위의 절화  
 물 부분을 제거한다.

도표도

도2a

명세서

도면의 간단한 설명

도 1a 내지 도 1c는 웨이퍼 상에 SOI(silicon-on Insulator) 영역을 성장시키기 위한 증래 기술의 반도체  
 장치를 제조하는 공정 순서를 예시하는 단면도,

도 2a 내지 도 2h는 본 발명에 따라 웨이퍼 상에 조밀하게 패턴닝된 SOI 영역을 형성하는 반도체 장치를  
 제조하는 공정을 예시하는 횡단면도.

도면의 주요 부분에 대한 부호의 설명

10 : 웨이퍼 11 : SOI 구조  
12 : 기판 14 : 절연 산화물 층  
16 : 실리콘 층 17 : 포토레지스트 마스크  
18 : 패드 산화물 층 20 : 절화물 층  
26 : 에피택셜 층 32 : DRAM 셀

발명의 상세한 설명

## 본명의 목적

### 본명이 속하는 기술분야 및 그 분야의 종래기술

본 발명은 반도체 장치를 제조하는 방법에 관한 것으로, 보다 상세하게는 실리콘-온-절연체(silicon-on-insulator : SOI) 영역과 비-SOI 영역을 갖는 반도체 장치를 제조하는 방법에 관한 것이다.

SOI 구조는 매립된 절연(buried insulating) 층에 의해 실리콘 층을 실리콘 기판으로부터 전기적으로 절연시킬 때 형성된다. SOI 구조는 통상 실리콘 기판의 전체 표면을 점유하지는 않는다. 이러한 선택적인 SOI 구조는 1998년 4월 14일 등록된 타니가와(Tanigawa)의 미국 특허 제 5,740,099 호에 개시되어 있다. 이 특허에는 SOI 구조 위에 부분적으로 또한 실리콘 기판 위에 부분적으로 제조된 집적 회로가 예시되어 있다. SOI 구조에 할당된 회로 구역은 SOI 영역으로 지칭되며, SOI 구조미외의 부분에 할당된 회로 영역은 벌크(bulk) 영역으로 지칭된다. 타니가와 특허는 기판 위에 SOI 영역과 벌크 실리콘 영역을 형성하고 그들 각각의 영역에 상이한 유형의 회로를 제조하는 공정을 교시하고 있다. 타니가와 특허는 패턴닝된 이온 주입 기술을 사용하여 상술한 상이한 영역을 형성한다. 예를 들면, 매우 높은 도우즈의 산소 이온(very high dose of oxygen)을 충분한 에너지로 실리콘 내에 주입하여 매립된 실리콘 이산화물 층을 형성한다.

타니가와와 방법은 여러 단점을 가지고 있다. 높은 도우즈의 산소는 Si/SiO<sub>2</sub> 계면(interface)을 가파르게(sharp) 형성하는데 필요하며 높은 주입 에너지는 매립층을 얻는데 필요하다. 이러한 방법은 또한 패턴닝된 모든 에지 영역(edge region)에서 결함을 유발하는 것으로도 알려져 있으며, 산화에 의해 웨이퍼의 SOI 부분이 팽창하기 때문에 결과적인 구조가 평탄하지 않다.

IBM Technical Disclosure Bulletin(Volume 35, No. 2, 1992. 7)의 247-249쪽에 게재된 'Process for Fabrication of Very Thin Epitaxial Silicon Films Over Insulating Layers' 라는 제목의 논문(저자 미상)에는, 실리콘의 선택적인 에피택셜 성장을 사용하여 웨이퍼 상에서 SOI 영역을 성장시키는 내용을 교시하고 있다. 상술한 논문의 도 1a(본원의 도 1a)에 도시된 바와 같이, 두 개의 마스크 레벨에 의해서 실리콘 기판(42)과 절연 산화물 층(44)을 포함하는 구조(40)가 만들어진다. 산화를 개구(48)는 제 1 마스크 공정에 의해 형성되며, 산화물 층의 중앙 부분, 즉 섬(island)(50)의 높이는 제 2 마스크 공정에 의해 조절된다.

그 다음, 도 1b에 도시된 바와 같이, 에피택셜 실리콘(46)을 선택적으로 성장시킨다. 화학-기계적 연마(chemical-mechanical polish)를 사용하여 일면 에피택셜 재료를 제거한다. 도 1c에 도시된 바와 같이, 절연 산화물 층(44)은 화학-기계적 연마를 위한 기준점으로서 작용하며, 나머지 에피택셜 실리콘이 실리콘 층과 동일한 높이가 되도록 한다. 이러한 식으로, SOI 영역이 형성되며 실리콘 섬(50)을 절연 산화물 층(44)과 완전하게 절연시키게 된다.

에피택셜 측방향 과도성장(epitaxial lateral overgrowth : EL0)으로 알려진 이러한 공정은 다음과 같은 단점을 가지고 있다. 형성된 SOI 영역은 대략 10 마이크로미터(μm) 두께까지만 형성될 수 있다. 형성된 SOI가 도 1c의 영역(52)에서 10 마이크로미터보다 넓게 형성될 때는 실리콘의 크기와 품질이 제한된다. 그 결과, 웨이퍼 상에서의 SOI 소자의 양이 또한 제한된다.

예를 들어 고성능의 마이크로프로세서를 제조하기 위해서는 동일한 칩내에 논리 회로와 다이내믹 랜덤 액세스 메모리(DRAM) 회로를 조합하는 것이 필요하다. SOI 구조는 고성능 마이크로프로세서를 제조하기 위한 후보들 중의 하나이다. 그러나, 고성능 DRAM 셀을 SOI상에 제조하기가 어려운데, 이것은 DRAM 패스(pass) 트랜지스터용의 기판 접속부가 부족하기 때문이다. 기판 접속부가 부족하기 때문에, 단일의 SOI 섬위에 많은 DRAM 셀을 제조할 수 있을 정도로 충분히 넓은 SOI를 성장시키는 것이 불가능하다. 많은 SOI 섬들이 성장되어야 하기 때문에, 하나의 공통 기판으로는 부족하다. 또한 공통 기판이 부족하면 부동 몸체 효과(floating body effects)가 유발될 수도 있으며 셀 부족 현상이 심각하게 되어, DRAM 성능이 저하된다.

1995년 3월 21일자로 등록된 선(Sun)의 미국 특허 제 5,399,507 호에는 혼합형 박막 및 벌크 반도체 기판(a mixed thin film and bulk semiconductor substrate)을 제조하는 공정이 개시되어 있다. 이 특허에서는 박막을 SOI 기판 위에서 마스크하고 에칭하여 하부(underlying) 벌크 기판을 노출시킨다. 그 다음, 에피택셜 층을 성장시켜 노출된 벌크 부분을 형성하여 혼합 기판을 만든다. 그러나, 에피택셜 층을 성장시키기 전에, 선 특허는 (1) 유전층(dielectric layer)을 기판 전체에 침착시키고, (2) 그 유전층을 선택적으로 에칭하여 측벽 스페이서(sidewall spacers)를 형성함으로써 SOI 영역을 기판내 벌크 영역으로부터 절연시키는 단계를 교시하고 있다.

상술한 두가지 단계를 완료한 이후, 선 특허는 벌크 영역 위에 에피택셜 층을 성장시킨다. 마지막으로, 선 특허는 SOI 영역 내에 샬로우 트렌치 절연(shallow trench isolation)(STI) 영역을 형성하고, 벌크 영역 내에 다른 STI 영역을 형성한다. 이와 같이, 선 특허는 혼합형 SOI 영역 및 벌크 영역을 단일 기판 상에 형성하는 방법을 개시하고 있는 것이다. 선 특허 공정의 단점은 두 영역을 분리시키는데 많은 단계가 필요하다는 것이다. 보다 상세히 말해서, 선 특허는 STI 영역을 형성하는 통상의 단계 이외에도 측벽 스페이서를 형성하는 단계를 필요로 한다. 더욱이, 선 특허 명세서의 도 11에 도시된 바와 같이, STI 영역(54)이 벌크 영역 위에 형성되고 STI 영역(52)이 SOI 영역 위에 형성된다. 이러한 두 STI는 측벽 스페이서(46)에 인접하게 형성된다. 스페이서가 STI와 근접하고 있기 때문에 STI에 대한 트렌치를 형성하는 것이 어렵다.

SOI 영역과 벌크 영역을 동일한 웨이퍼 상에서 제조할 때 야기되는 통상의 공정 결함과 마이크로프로세서에 적합한 고 품질의 조밀하게 패턴닝된(densely patterned) SOI 영역을 제조하는데 발생하는 어려움은 혼합형 회로 및 DRAM 회로 또는 기타 다른 형태의 회로를 위한 조밀하게 패턴닝된 SOI를 제조할 수 있는 공정이 여전히 필요하다는 것을 의미한다.



부 표면이 질화물 층(20)과 동일 평면을 이루도록 조절될 수 있다. 도시하지는 않았지만, 에피택셜 층(26)의 표면을 화학-기계적 연마를 이용하여 평면화하고, 예를 들면 질화물 층(20)을 연마 공정 중에 정지 층으로서 이용하여 평면화할 수도 있다.

그 다음, 고온의 인산(hot phosphoric acid)을 이용하여 질화물 층(20)을 제거하고, HF 용액을 사용하여 패드 산화물 층(18)을 제거한다. 도 2g에는 이 단계의 결과가 도시된다. 마지막으로, 웨이퍼(10)를 고온(1000°C 내지 1100°C)에서 어닐링하여 에피택셜 침착 후에 야기되는 손상을 보수할 수도 있다. 도 2g에 도시된 결과적인 웨이퍼는 매립된 산화물 위에 실리콘이 형성된(silicon on buried oxide)(SIO) 영역(22a 및 22c)과 매립된 산화물이 없는 영역(22b')을 갖는다. 영역(22b')은 STI 영역(22b)으로 둘러싸인 벌크 영역을 형성한다.

이제 통상의 방식으로 회로를 제조하기 위하여 웨이퍼(10)를 준비한다. 예를 들면, 셀(32)(도 2h)과 같은 DRAM 성분은 공통 기판을 가진 영역(22b')내의 에피택셜 층(26) 위에 제조될 수 있으므로, 부동 몸체 효과를 발생하지 않는다. (30a 및 30b)와 같은 논리 성분은 SIO 영역(22a 및 22c) 위에 제조될 수 있다.

이제 인식할 수 있듯이, 본 발명의 발명자들은 웨이퍼 위에 SIO 영역과 비 SIO(벌크) 영역을 제조하는 새로운 공정을 개발했다. 본 발명자들은 먼저 전체 기판 위에 SIO를 만들고 나서 선택적으로 기판 위에 벌크 영역을 만들기 때문에, SIO는 패턴닝된 에지에 결합이 형성될 수도 있는 어떠한 전이 부분(transitions)도 갖지 않는다. 결과적으로, SIO 영역은 조밀하게 패턴닝될 수 있다.

이제까지 본 발명을 어떤 특정 실시예들을 참조하여 예시하고 설명하였지만, 본 발명을 예시한 것에 제한 하려는 것은 아니고, 본 발명의 특허청구범위의 등가 범주 내에서 본 발명의 사상을 벗어나지 않고서도 각종 변형이 가능하다. 예를 들면, 본 발명은 웨이퍼 위에 병합된 논리 회로와 DRAM 회로를 제조하는 것 만에 제한되는 것이 아니라, 본 발명은 SIO 영역 위에 조밀하게 패턴닝될 수도 있는 어떤 다른 유형의 회로와 벌크 영역 위에 패턴닝될 수도 있는 어떤 다른 유형의 회로로 확장될 수도 있다.

#### 발명의 효과

본 발명에 따르면, 전체 기판 위에 SIO를 형성하고 나서 선택적으로 기판 위에 벌크 영역을 형성하기 때문에, 패턴닝된 에지에 결합이 생기지 않아 SIO 영역을 조밀하게 패턴닝할 수 있다.

#### (57) 청구의 범위

##### 청구항 1

반도체 장치 내에 실리콘-온-절연체 영역(silicon-on insulator region) 및 벌크 영역(bulk region)을 제조하는 방법에 있어서,

① 박막 실리콘 층, 상기 박막 실리콘 층의 하부에 놓이는 매립된 절연(buried insulating) 산화물 층 및 상기 매립된 절연 산화물 층의 하부에 놓이는 실리콘 기판을 가지는 실리콘-온-절연체 구조를 제공하는 단계와,

② 상기 실리콘-온-절연체 구조의 상부에 질화물 층을 형성하는 단계와,

③ 상기 질화물 층의 부분들을 선택적으로 에칭하여 상기 실리콘-온-절연체 구조를 노출시키는 단계 - 에칭되지 않은 상기 질화물 층의 부분은 상기 실리콘-온-절연체 영역을 형성함 - 와,

④ 상기 노출된 실리콘-온-절연체 구조의 부분을 선택적으로 에칭하여 상기 실리콘 기판을 노출시키는 단계와,

⑤ 상기 노출된 실리콘 기판의 상부에 에피택셜 층을 성장시켜 상기 벌크 영역을 형성하는 단계와,

⑥ 상기 실리콘-온-절연체 구조 위의 상기 질화물 부분을 제거하는 단계

를 포함하는 방법.

##### 청구항 2

제 1 항에 있어서,

상기 단계①은 고농도의 산소를 상기 기판에 주입하여 상기 절연 산화물 층을 형성하는 단계를 포함하는 방법.

##### 청구항 3

제 1 항에 있어서,

상기 단계②는 상기 질화물 층을 형성하기 전에 상기 실리콘-온-절연체의 상부에 패드(pad) 산화물 층을 형성하는 단계를 포함하는 방법.

##### 청구항 4

제 1 항에 있어서,

상기 단계③은 상기 실리콘-온-절연체 영역의 경계를 한정하는 샬로우 트렌치 절연(shallow trench insulation)을 형성하는 단계를 포함하는 방법.

##### 청구항 5

제 1 항에 있어서,

상기 단계⑥은 상기 실리콘-온-절연체 영역 위에 제 1 유형의 회로를 형성하고 상기 벌크 영역 위에 제 2 유형의 회로를 형성하는 단계를 더 포함하는 방법.

#### 청구항 6

제 5 항에 있어서,

상기 제 1 유형의 회로는 논리 회로이며 상기 제 2 유형의 회로는 DRAM 회로인 방법.

#### 청구항 7

제 5 항에 있어서,

상기 단계④는 상기 실리콘 기판을 노출시킨 후 상기 반도체 장치를 1000°C 내지 1100°C의 온도에서 어닐링(annealing)하는 단계를 더 포함하는 방법.

#### 청구항 8

제 5 항에 있어서,

상기 에칭 단계는 반응성 이온 에칭(reactive ion etching)을 포함하는 방법.

#### 청구항 9

제 1 항의 방법에 의해서 제조된 반도체 장치.

#### 청구항 10

웨이퍼상의 병합된(merged) 논리 회로와 DRAM 회로를 위한 조밀하게 패턴닝된 실리콘-온-절연체(dense patterned silicon-on-insulator)를 제조하는 방법에 있어서,

① 박막 실리콘 층, 상기 박막 실리콘 층의 하부에 놓이는 매립된 절연(buried insulating) 산화물 층 및 상기 매립된 절연 산화물 층의 하부에 놓이는 실리콘 기판을 가지는 실리콘-온-절연체 구조를 제공하는 단계와,

② 상기 실리콘-온-절연체 구조의 상부에 질화물 층을 형성하는 단계와,

③ 상기 질화물 층의 부분들을 선택적으로 에칭하여 상기 실리콘-온-절연체 구조를 노출시키는 단계 - 에칭되지 않은 상기 질화물 층의 부분은 실리콘-온-절연체 영역을 형성할 - 와,

④ 상기 노출된 실리콘-온-절연체 구조의 부분을 선택적으로 에칭하여 상기 실리콘 기판을 노출시키는 단계와,

⑤ 상기 노출된 실리콘 기판의 상부에 에피택셜 층을 성장시켜 상기 벌크 영역을 형성하는 단계와,

⑥ 상기 실리콘-온-절연체 구조 위의 상기 질화물 부분을 제거하는 단계와,

⑦ 상기 논리 회로를 상기 실리콘-온-절연체 영역 위에 형성하고 상기 DRAM 회로를 상기 벌크 영역 위에 형성하는 단계

를 포함하는 방법.

#### 청구항 11

제 10 항에 있어서,

상기 단계①은 고농도의 산소를 상기 기판에 주입하여 상기 절연 산화물 층을 형성하는 단계를 포함하는 방법.

#### 청구항 12

제 10 항에 있어서,

상기 단계②는 상기 질화물 층을 형성하기 전에 상기 실리콘-온-절연체의 상부에 패드(pad) 산화물 층을 형성하는 단계를 포함하는 방법.

#### 청구항 13

제 10 항에 있어서,

상기 단계③은 상기 실리콘-온-절연체 영역의 경계를 한정하는 샬로우 트렌치 절연(shallow trench insulation)을 형성하는 단계를 포함하는 방법.

#### 청구항 14

제 10 항에 있어서,

상기 단계④는 상기 실리콘 기판을 노출시킨 후 상기 웨이퍼를 1000°C 내지 1100°C의 온도에서 어닐링(annealing)하는 단계를 더 포함하는 방법.

#### 청구항 15

제 10 항에 있어서,

상기 예칭 단계는 반응 이온 예칭을 포함하는 방법.

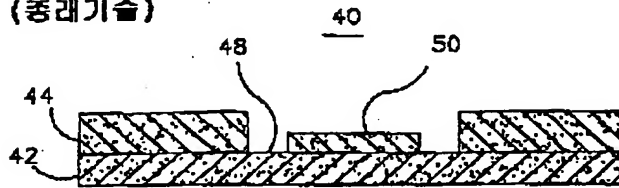
**청구항 16**

청구항 10의 방법에 의해서 제조된 반도체 장치.

도면

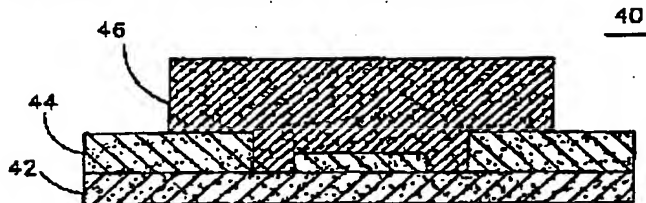
도면 1a

(종래기술)



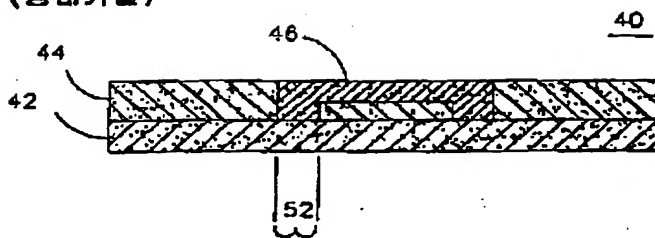
도면 1b

(종래기술)

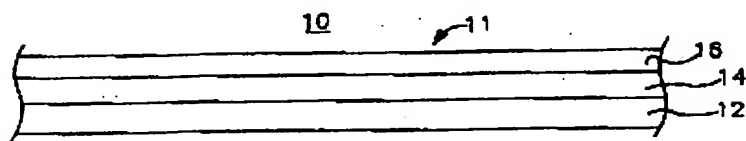


도면 1c

(종래기술)



도면 2a



도면 2b

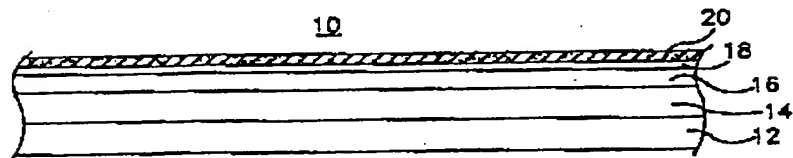


図12c

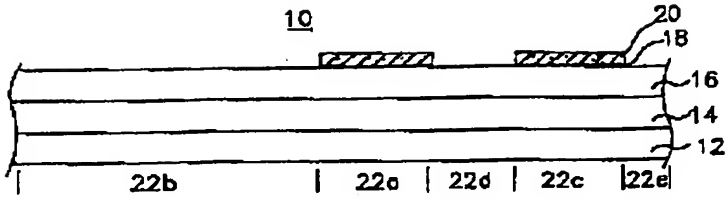


図12d

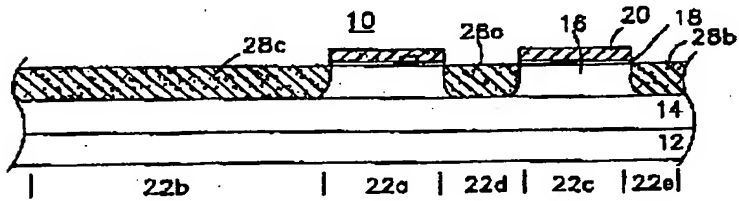


図12e

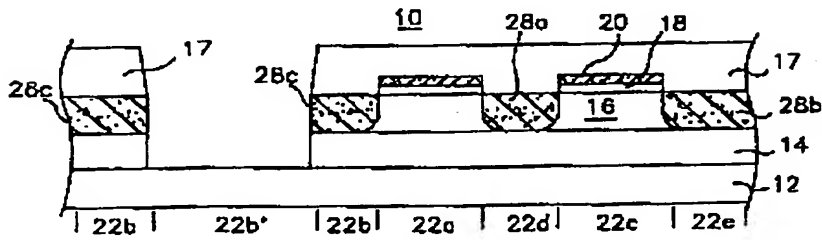


図12f

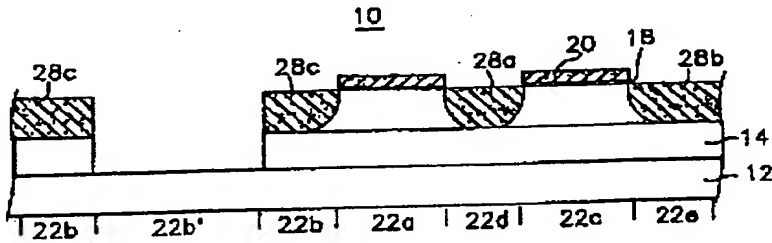
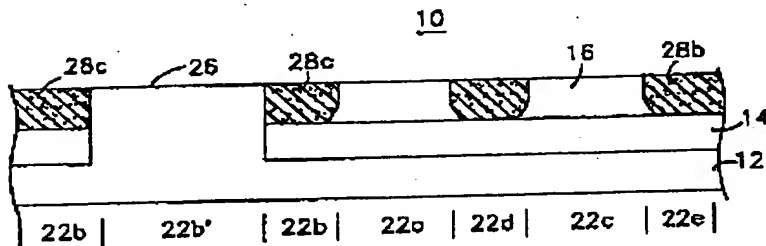
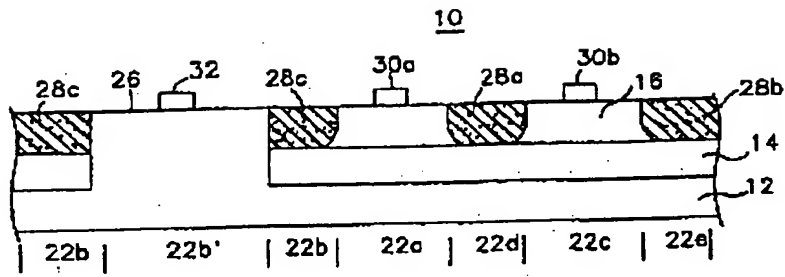


図12g



도 2b





**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☒ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☒ **FADED TEXT OR DRAWING**
- ☒ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☒ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**